

VERFAHREN ZUM HERSTELLEN EINER INTEGRIERTEN LEISTUNGSSCHALTUNG MIT EINEM VERTIKALEN LEISTUNGSBAUELEMENT

Publication number: DE4201910 (A1)
Publication date: 1993-06-03
Inventor(s): GASSEL HELMUT DIPL PHYS [DE]; MUETTERLEIN BERNWARD DIPL ING [DE]; VOGT HOLGER DR ING [DE]; ZIMMER GUENTHER PROF DR [DE]
Applicant(s): FRAUNHOFER GES FORSCHUNG [DE]
Classification:
 - **International:** H01L21/762; H01L21/764; H01L27/088; H01L29/78; H01L29/06; H01L21/70; H01L27/085; H01L29/66; H01L29/02; (IPC1-7): H01L21/76; H01L27/06
 - **European:** H01L21/762D20; H01L21/764; H01L27/088; H01L29/78B2
Application number: DE19924201910 19920124
Priority number(s): DE19924201910 19920124; DE19914139394 19911129

Also published as:

DE4201910 (C2)

Cited documents:

DE3905149 (A1)
 EP0444370 (A1)
 EP0150827 (A2)
 WO9113463 (A1)

Abstract of DE 4201910 (A1)

A power integrated circuit (1) has either a vertical power component (2, 3) and a control circuit (4) for driving the vertical power component (2, 3), or only vertical power components (2, 3). In order to prevent the switching processes of the vertical power component (2, 3) from affecting in an undesirable manner the control circuit (4), an etching stopping layer (12) is applied underneath the semiconductive area where the control circuit (4) is to be produced, during the power integrated circuit (1) manufacturing process. The control circuit (4) and the vertical power component (2, 3) are then produced by usual processing steps, and a front protective layer and a rear masking layer are applied on the wafer. Once the mask is structured in order to create an opening underneath the etching stopping layer (12), the backside of the substrate is etched until the etching stopping layer (12) is reached. Alternatively, once the processing steps for producing the vertical power components (2, 3) have been carried out and once a lateral insulating layer (13) has been applied between the vertical power components, a front protective layer and a rear masking layer are produced, then the rear masking layer is provided with a recess underneath the lateral insulating layer (13) through which the backside of the substrate is etched until the lateral insulating layer is reached.



Data supplied from the esp@cenet database — Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 42 01 910 C 2

⑤ Int. Cl.⁶:
H 01 L 21/764
H 01 L 21/762
H 01 L 27/06

②① Aktenzeichen: P 42 01 910.9-33
②② Anmeldetag: 24. 1. 92
④③ Offenlegungstag: 3. 6. 93
④⑤ Veröffentlichungstag
der Patenterteilung: 11. 5. 95

DE 42 01 910 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③① Innere Priorität: ③② ③③ ③①
29.11.91 DE 41 39 394.5

⑦③ Patentinhaber:
Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung e.V., 80636 München, DE

⑦④ Vertreter:
Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049 Pullach

⑦② Erfinder:

Gassel, Helmut, Dipl.-Phys., 4100 Duisburg, DE;
Mütterlein, Bernward, Dipl.-Ing., 4100 Duisburg, DE;
Vogt, Holger, Dr.-Ing., 4330 Mülheim, DE; Zimmer,
Günther, Prof. Dr., 4100 Duisburg, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE 39 05 149 A1
EP 04 44 370 A1
EP 01 50 827 A2
WO 91 13 463

BOGUSZEWICZ, R., BURBACH, G.:
Leistungsschalter für 500 V mit dielektrisch isolierter
CMOS- Signalelektronik in DE-Z.: Mikroelektronik,
Bd. 4, 1990, S. 256-259;
OWYANG, K., KOREC, I.: Funktionsintegration für
Leistungsbaulemente, in DE-Z.: Mikroelektronik,
Bd. 4, 1990, S. 252-254;

⑤④ Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung mit einem vertikalen
Leistungsbaulement

DE 42 01 910 C 2

Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung mit einem vertikalen Leistungsbau-
element und einer Steuerschaltung zum Ansteuern des vertikalen Leistungsbau-
elementes. Ferner betrifft die vorliegende Erfindung ein Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung mit wenigstens zwei vertikalen Leistungsbau-
elementen.

Integrierte Schaltungen mit einem Leistungsbau-
element und einer Steuerschaltung zum Ansteuern des Leistungsbau-
elementes sind als sogenannte "intelligente Leistungshalbleiterschaltungen" dem Fachmann unter dem Begriff "Smart Power" seit einigen Jahren bekannt. Beispielsweise wird verwiesen auf J.P. Mille, A very high voltage technology (up to 1200 V) for vertical smart power ICs, Proceedings of the Symposium on High Voltage and Smart Power ICs, Band 89-15, Seiten 517 bis 525, 1989; und K.Owyang, Funktionsintegration für Leistungsbau-
elemente, Mikroelektronik, 4 : 252-254, 1990.

Bei derartigen intelligenten Leistungshalbleitern wird üblicherweise eine Isolation des Leistungsbau-
elementes gegenüber der Steuerschaltung durch einen pn-Übergang bewirkt. Hierbei besteht jedoch die Gefahr des sogenannten "latch-up".

Gleichfalls ist es bekannt, daß die Gefahr des "latch-up" durch eine dielektrische Isolation anstelle des pn-Überganges vermieden werden kann. Daher wurden verschiedene Prozesse entwickelt, die auf einer dielektrischen Isolation der verschiedenen Schaltungsteile voneinander beruhen. Zwei weit entwickelte SOI-Technologien (Silicon-On-Insulator) sind Wafer-Bonding und SIMOX (Separation bei Implanted Oxygen).

Bezüglich dieser Technologien wird verwiesen auf W.P. Maszara, Silicon-On-Insulator bei Waferbonding: A review, J. Electrochem. Soc., 138 : 341 bis 347, 1991; und M.A. Guerra, The status of SIMOX technology, D.N. Schmidt, Herausgeber, Silicon-On-Insulator Technology and Devices, Band 90-6, Seiten 21 bis 47, The Electrochemical Society, Inc., 1990.

Ein grundsätzlicher Nachteil der SOI-Technologie besteht darin, daß eine unerwünschte Steuerwirkung des Substrates nicht vermieden werden kann. Das Substrat wirkt über den vergrabenen Isolator wie eine zweite Gateelektrode auf Transistoren, die im Film integriert sind. Dies kann bei Auftreten von Potentialdifferenzen zwischen dem Substrat und dem Film zu Schwellenspannungsverschiebungen und zu Änderungen des Schaltzustandes der Transistoren führen, wie in folgender Fachveröffentlichung beschrieben ist: K. Yallup, B. Lanc and S. Edwards, Back gate effects in thick film SOI CMOS devices, IEEE International SOI Conference, Seiten 48 bis 49, 1991.

Aus der DE 39 05 149 A1 ist es bekannt, bei einer integrierten Schaltung mit einer Leistungsschaltung und einer Steuerschaltung die Steuerschaltung auf einer isolierten Siliziuminsel auszugestalten, wobei unterhalb des vergrabenen Isolators, der die Siliziuminsel festlegt, eine hochleitende Schicht vorgesehen ist. Diese zum Substrat komplementär dotierte Schicht wird auf ein konstantes Potential gelegt und verhindert damit ein Durchgreifen des Substratpotentials auf die innerhalb der Siliziuminsel ausgebildeten Bauelemente.

Jedoch läßt sich mit dieser Technologie nicht erreichen, die bei Schaltvorgängen eines vertikalen Lei-

stungsbau-
elementes entstehenden Spannungsspitzen ausreichend schnell abzubauen.

So kann trotz der beschriebenen Maßnahmen ein Substratsteuereffekt der SOI-Bauelemente nicht verhindert werden.

Aus der WO 91/13463 ist bereits ein Verfahren zum Erzeugen einer isolierten, einkristallinen Siliziuminsel bekannt, die durch eine vergrabene Siliziumdioxidschicht gegenüber dem darunterliegenden Substrat sowie durch Trenches in lateraler Richtung isoliert ist. Bei dem dort bevorzugten Ausführungsbeispiel ist innerhalb der Siliziuminsel ein Gassensorelement integriert. Zur verbesserten thermischen Isolation des Gassensorelementes ist es aus dieser Schrift bekannt, den Bereich unterhalb der Siliziuminsel, in der das Gassensorelement integriert ist, rückseitig freizuzätzen. Hierdurch soll die Empfindlichkeit des Gassensors erhöht werden.

Aus der EP-0150827 A2 sowie aus der EP-0444370 A1 sind Halbleiterstrukturen bekannt, bei denen ein Teil des Halbleitermaterials durch einen anisotropen Ätzvorgang entfernt wird. Bei der EP-0150827 A2 dient dieser anisotrope Ätzvorgang zur Strukturierung eines Drucksensors mit einer Silicium-Membran. Die EP-0444370 A1 offenbart die Erzeugung einer vergrabenen Dielektrikumsschicht mittels Waferbonding, die als Ätzstoppschicht zur Erzeugung der Ausnehmung durch den anisotropen Ätzvorgang dient. Keine dieser beiden Schriften befaßt sich mit der Herstellung vertikaler Leistungsbau-
elemente.

Ausgehend von diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, Verfahren zum Herstellen einer integrierten Schaltung mit einem vertikalen Leistungsbau-
element und einer Steuerschaltung anzugeben, durch die Einflüsse von Schaltvorgängen des vertikalen Leistungsbau-
elementes auf die Steuerschaltung vermieden werden.

Diese Aufgabe wird durch ein Verfahren gemäß dem Patentanspruch 1 oder 4 gelöst.

Ferner liegt der Erfindung ausgehend von dem oben erläuterten Stand der Technik die Aufgabe zugrunde, ein Verfahren zum Herstellen einer integrierten Schaltung mit wenigstens zwei vertikalen Leistungsbau-
elementen anzugeben, bei dem Einflüsse von Schaltvorgängen eines vertikalen Leistungsbau-
elementes auf ein anderes vertikales Leistungsbau-
element vermieden werden.

Diese Aufgabe wird durch ein Verfahren gemäß Patentanspruch 3 gelöst.

Nachfolgend werden unter Bezugnahme auf die beiliegenden Zeichnungen bevorzugte Ausführungsformen einer erfindungsgemäßen integrierten Leistungsschaltung näher erläutert. Es zeigen:

Fig. 1 eine Querschnittsdarstellung einer ersten Ausführungsform einer integrierten Leistungsschaltung mit vertikalen Leistungsbau-
elementen und einer Steuerschaltung;

Fig. 2 eine Querschnittsdarstellung einer zweiten Ausführungsform einer integrierten Leistungsschaltung mit vertikalen Leistungsbau-
elementen und einer Steuerschaltung;

Fig. 3 eine Draufsicht auf eine dritte Ausführungsform einer erfindungsgemäßen integrierten Leistungsschaltung in Form einer monolithisch integrierten Vollbrückenschaltung;

Fig. 4 eine Querschnittsdarstellung einer vierten Ausführungsform der erfindungsgemäßen integrierten Leistungsschaltung mit zwei vertikalen Leistungsbau-
elementen;

Fig. 5 eine Querschnittsdarstellung einer fünften Ausführungsform einer integrierten Leistungsschaltung mit einem vertikalen Leistungselement und einer Steuerschaltung; und

Fig. 6 eine Querschnittsdarstellung einer sechsten Ausführungsform einer integrierten Leistungsschaltung mit einem vertikalen Leistungselement und einer Steuerschaltung.

Wie in Fig. 1 gezeigt ist, umfaßt eine integrierte Leistungsschaltung nach der Erfindung, die in ihrer Gesamtheit mit dem Bezugszeichen 1 bezeichnet ist, zwei vertikale Leistungselemente 2, 3 sowie eine zwischen den vertikalen Leistungselementen 2, 3 angeordnete Steuerschaltung 4.

Bei dem gezeigten Ausführungsbeispiel sind die vertikalen Leistungselemente 2, 3 als vertikaler n-Kanal IGBT realisiert. Jeder vertikale n-Kanal IGBT 2, 3 umfaßt eine Source 5, ein Gate 6 oberhalb einer n⁻-Epitaxieschicht 7, die ihrerseits auf einem p⁺-Substrat 8 angeordnet ist, welche als Drain dient. Die Steuerschaltung 4, die bei der gezeigten Ausführungsform einen NMOS-Transistor 9 und einen PMOS-Transistor 10 aufweist, liegt oberhalb einer rückseitigen Ätzausnehmung 11 und ist gegenüber der Ätzausnehmung 11 durch eine Ätzstoppschicht 12 abgegrenzt. Die Steuerschaltung 4 ist in lateraler Richtung gegenüber den vertikalen n-Kanal IGBTs 2, 3 durch eine LOCOS-Isolation 13 isoliert.

Zur Herstellung dieser intelligenten Leistungshalbleiterschalterstruktur kann man sich mit Ausnahme der nachfolgend erläuterten Abweichungen an sich bekannter Verfahren bedienen, wie sie beispielsweise in folgender Fachveröffentlichung erläutert sind: R. Boguszewicz, G. Burbach, H.-L. Fiedler, B. Mütterlein, F. Vogt and H. Vogt, Leistungsschalter für 500 V mit dielektrisch isolierter CMOS-Signalelektronik, Mikroelektronik, 4 (6):256 bis 259, 1990.

Auf das p⁺-Substrat 8 wird eine niedrigdotierte n⁻-Schicht 7 epitaktisch aufgewachsen. In die Epitaxieschicht 7 wird lokal Sauerstoff implantiert, um die Ätzstoppschicht 12 zu erzeugen. An diesen Sauerstoffimplantationsschritt schließt sich gegebenenfalls ein Hochtemperaturschritt an, um durch die Sauerstoffimplantation erzeugte Kristallfehler auszuheilen.

Danach werden in einem an sich bekannten CMOS-Prozeß die vertikalen Leistungselemente 2, 3 sowie die Steuerschaltung hergestellt. Gleichzeitig wird durch einen LOCOS-Prozeß die laterale Isolation der vertikalen Leistungselemente 2, 3 gegenüber der Steuerschaltung 4 realisiert.

Bei der Ausführungsform von Fig. 2, die mit Ausnahme der nachfolgend erläuterten Unterschiede mit der Ausführungsform gemäß Fig. 1 übereinstimmt, werden in einem zusätzlichen Prozeßschritt des Standard-CMOS-Prozesses Feldringe als Randstrukturen der vertikalen Leistungselemente 2, 3 erzeugt. Da die Strukturen der vertikalen Leistungselemente 2, 3 rückseitig beidseitig abgeschrägt sind, können bei dieser Ausgestaltung Feldringe entfallen, da der Randabschluß durch dieses sogenannte "beveling" bewirkt wird.

Die Feldringe 14a als Randstrukturen der Leistungsteile werden bei der Ausführungsform nach Fig. 2 durch Borimplantation und anschließende Ausdiffusion erzeugt.

Nunmehr findet eine Rückseitenmetallisierung des Substrates statt.

Auf die Vorderseite des Wafers wird eine Schutzschicht aufgebracht, während die Rückseite maskiert und mit einer üblichen fotolithographischen Technik die

Maskenstruktur im Bereich der Ätzstoppschicht 12 geöffnet wird. Bei der Ausführungsform gemäß Fig. 1 wird die Maske auch im Bereich der äußeren Ränder der vertikalen Leistungselemente 2, 3 entfernt. Anschließend wird das Substrat zur Erzeugung der rückseitigen Ätzausnehmung 11 sowie zur Bildung der Randabschrägungen 14b geätzt, woraufhin die Maske entfernt wird.

Das unter Bezugnahme auf die ersten beiden Ausführungsformen beschriebene Herstellungsverfahren kann in vielfacher Hinsicht variiert werden.

Bei der beschriebenen Ausführungsform wird die vergrabene Ätzstoppschicht 12 durch einen SIMOX-Prozeß (Separation by IMplanted Oxygen) gebildet. In Abweichung von dieser bevorzugten Ausführungsform lassen sich vergrabene Dielektrika als Ätzstoppschicht auch mit anderen SOI-Technologien (Silicon-On-Insulator) fertigen. Beispielsweise wird hierzu das Wafer-Bonding-Verfahren genannt, das in folgender Fachveröffentlichung beschrieben ist: W. P. Maszara, Silicon-On-Insulator by Wafer-Bonding: A review, J. Electrochem. Soc., 138:341, 1991. Als SOI-Technologie kommt gleichfalls das Verfahren ZMR in Betracht, welches in folgender Fachveröffentlichung beschrieben ist: A. Nakagawa, Impact of dielectric isolation technology on power Ics, ISPSD, Seiten 16 bis 21, 1991. Ferner kann die Ätzstoppschicht 12 durch einen pn-Übergang oder durch Hochdosisimplantation von Bor oder Kohlenstoff gebildet werden.

In Abweichung hiervon ist es ferner möglich, als Ätzstoppschicht 12 eine epitaktische Silizium-Germanium-Schicht und im Falle von elektrochemischen Verfahren einen pn-Übergang als Ätzstopp zu nutzen.

Die Dicke der Halbleitersmembran, auf der die Steuerschaltung 4 ausgebildet ist, läßt sich zum einen über die Tiefe der vergrabenen Ätzstoppschicht 12 und zum anderen durch eine zusätzliche Epitaxieschicht beliebig einstellen.

Eine laterale Isolation des Siliziumfilmes, auf dem die Steuerschaltung 4 ausgebildet ist, ist nicht nur mit LOCOS möglich. Neben der lateralen Isolation durch LOCOS-Technologie kann auch eine dielektrische Isolation mittels eines Trenches oder eine Isolation durch einen gesperrten pn-Übergang bewirkt werden.

Als vertikales Leistungselement 2, 3 kommt nicht nur der beschriebene IGBT in Betracht, sondern es kann ohne Einschränkung jedes andere vertikale Leistungselement eingesetzt werden. Darin sind unipolare sowie bipolare Bauelemente, wie beispielsweise DMO5-Transistoren und Thyristoren, eingeschlossen.

In Abweichung zu den gezeigten Strukturen können auch jeweils inverse Dotierungen verwendet werden. Die maximale Sperrspannung der vertikalen Leistungselemente wird durch die erfindungsgemäße Technologie nicht beschränkt.

Neben der in dem Ausführungsbeispiel gezeigten CMOS-Steuerschaltung 4 können auch andere Schaltungstechnologien realisiert werden, wie beispielsweise NMOS-Schaltungen oder Bipolarschaltungen, die auch laterale Hochspannungstransistoren und Sensoren enthalten können.

Die rückseitige Ätzausnehmung 11 kann zur Erhöhung der mechanischen Stabilität oder zur Veränderung der elektrischen Eigenschaften aufgefüllt werden. Beispielsweise können hier isolierende Materialien, wie beispielsweise Polyimide eingesetzt werden. Bezüglich dieser Technologie wird verwiesen auf: P. Guillotte and T. Martiska, Polyimide solves chip isolation problems. Semiconductor International, 14 (5): 146 bis 148, 1991.

Der Randabschluß des Leistungsbauelementes muß nicht notwendigerweise durch eine Feldringstruktur erfolgen, wie dies in Fig. 2 gezeigt ist. Es können auch andere Randstrukturen verwendet werden. Im Falle der unter Bezugnahme auf Fig. 1 erläuterten Abschrägung 14b der Leistungsbaulemente 2, 3 auch auf der der Steuerschaltung abgewandten Seite kann, wie bereits erläutert wurde, vollständig auf zusätzliche Randstrukturen verzichtet werden, da sich in diesem Fall der Potentialverlauf durch die abgeschrägten Kanten ändert, so daß die Oberflächenfeldstärke in den Randbereichen reduziert werden kann.

Bei der in den Fig. 1 und 2 gezeigten Struktur ist die Steuerschaltung 4 von den vertikalen Leistungsbaulementen 2, 3 eingeschlossen. Jedoch ist es gleichfalls möglich, die Steuerschaltung außerhalb der vertikalen Leistungsbaulemente zu positionieren.

Wie in Fig. 3 gezeigt ist, kann durch Kombination mehrerer derartiger Strukturen auf einem Chip beispielsweise eine vollständige, kompakte Brückenschaltung erzeugt werden, die in dem dort in Draufsicht gezeigten Beispielsfall vier Leistungstransistoren 15, 16, 17, 18 umfaßt, die jeweils mit Randstrukturen 22 versehen sind, welche durch in den Zwischenräumen angeordnete Steuerschaltungen 23 angesteuert werden. Die Steuerschaltungen sind von einer Ätzstoppschicht 24 eingeschlossen.

Neben der hier angedeuteten Lösung für zwei Phasen lassen sich selbstverständlich auch mehrere unabhängige Leistungsbaulemente integrieren.

In Fig. 4 ist eine weitere Ausführungsform einer erfindungsgemäßen integrierten Leistungsschaltung 1 gezeigt, die vertikale Leistungsbaulemente 2, 3 umfaßt, wobei jedoch keine Steuerschaltung vorgesehen ist. Mit den Bezugszeichen vorhergehender Figuren übereinstimmende Bezugszeichen bezeichnen gleiche oder ähnliche Teile, so daß insoweit eine erneute Erläuterung unterbleiben kann.

Zur Herstellung dieser integrierten Leistungsschaltung 1 mit den zumindest zwei vertikalen Leistungsbaulementen 2, 3 werden zunächst die Prozeßschritte zur Herstellung der vertikalen Leistungsbaulemente 2, 3 durchgeführt, woraufhin zwischen diesen vertikalen Leistungsbaulementen 2, 3 eine laterale Isolationsschicht 13 erzeugt wird. Diese wird vorzugsweise durch einen LOCOS-Prozeß hergestellt. Diese Isolationsschicht 13 kann entweder aus thermischen Oxid oder aus CVD-Oxid bestehen. Anschließend werden eine vorderseitige Schutzschicht und eine rückseitige Maskenschicht (jeweils nicht dargestellt) aufgebracht, woraufhin die rückseitige Maskenschicht fotolithographisch strukturiert wird, um eine Ausnehmung der Maskenschicht unterhalb der Isolationsschicht 13 festzulegen. Anschließend erfolgt ein rückseitiges Ätzen des Substrates bis zum Erreichen der lateralen Isolationsschicht 13.

Bei dieser Technologie besteht die Möglichkeit, komplementäre vertikale Leistungsbaulemente herzustellen. Die beschriebenen Ätzverfahren dienen dabei zur Trennung der komplementären Leistungsbaulemente 2, 3.

Das in der Figur rechts gezeigte Leistungsbaulement ist ein p-Kanal-IGBT mit einem n^+ -Substrat 20, welches die Drain-Elektrode bildet, einer p^- -Driftstrecke 21, einem isolierten Gate 22 und einer Source-Elektrode 23. Das linksseitige vertikale Leistungsbaulement 3 ist ein n-Kanal HVDMOS-Transistor, der gleichfalls das n^+ -Substrat 20 als Drain-Elektrode aufweist,

und ferner eine n^- -Driftstrecke 24, eine Gate-Elektrode 25 und eine source-Elektrode 26 umfaßt.

In Abweichung zu dem hier gezeigten Ausführungsbeispiel können die Leistungsbaulemente 2, 3 auch Steuerschaltungen einschließen, die in der bislang üblichen Art mittels SIMOX-Technologie im Substratmaterial angeordnet sind. Hier wird der Ätzstopp durch die implantierte Oxidschicht gebildet, die dann lediglich zur Trennung der Leistungsteile dient. Dadurch kann der Ätzstopp mit geringen geometrischen Abmessungen ausgelegt werden.

In weiterer Abweichung zu dem hier gezeigten Ausführungsbeispiel kann, wie nachfolgend unter Bezugnahme auf Fig. 5 erläutert wird, das zuletzt beschriebene Verfahren zum Herstellen einer integrierten Leistungsschaltung mit zwei vertikalen Leistungsbaulementen dahingehend modifiziert werden, daß ein Leistungsbaulement durch eine Steuerschaltung ersetzt wird. Es ergibt sich ein Verfahren zum Herstellen einer integrierten Leistungsschaltung 1 mit einem vertikalen Leistungsbaulement 2, 3 und einer Steuerschaltung 4 zum Ansteuern des vertikalen Leistungsbaulementes 2, 3, mit folgenden Verfahrensschritten: Durchführen von Prozeßschritten zur Herstellung des vertikalen Leistungsbaulementes 2, 3 und der Steuerschaltung 4; Erzeugen einer lateralen Isolationsschicht 13 zwischen dem vertikalen Leistungsbaulement 2, 3 und der Steuerschaltung 4; Aufbringen einer vorderseitigen Schutzschicht; fotolithographisches Erzeugen einer rückseitigen Maskenschicht mit einer Ausnehmung unterhalb der lateralen Isolationsschicht 13; und rückseitiges Ätzen des Substrates.

Wie in Fig. 5 gezeigt ist, ist das linksseitig gezeigte Leistungsbaulement ein HVDMOS-Transistor 2 mit einem n^+ -Substrat 30, welches die Drain-Elektrode bildet, einer n^- -Driftstrecke 31, einem Gate 32 und einer Source-Elektrode 33. Die rechtsseitig gezeigte CMOS-Steuerschaltung 4 umfaßt einen NMOS-Transistor 35, der innerhalb einer p-Wanne 36 liegt, sowie einen PMOS-Transistor 37. Diese Transistoren 36, 37 liegen oberhalb der n^- -Epitaxieschicht 31, welche auf dem n^+ -Substrat 30 liegt. Wie bereits erläutert, sind das Leistungsbaulement 2 und die Steuerschaltung 4 durch die von einem thermischen Siliziumoxid gebildete Isolationsschicht 13 voneinander getrennt, unterhalb der die rückseitige Ätzausnehmung 11 liegt. Auch hier ist eine Beeinflussung der Steuerschaltung 4 durch das Leistungsbaulement 2 ausgeschlossen.

Nachfolgend wird unter Bezugnahme auf Fig. 6 ein sechstes Ausführungsbeispiel einer erfindungsgemäßen integrierten Leistungsschaltung erläutert. Dieses stimmt mit Ausnahme der nachfolgend erläuterten Unterschiede mit dem Ausführungsbeispiel gemäß Fig. 1 überein, wobei gleichfalls übereinstimmende Bezugszeichen gleiche oder ähnliche Teile oder Bauelemente bezeichnen.

Bei der Ausführungsform gemäß Fig. 6 ist die Steuerschaltung 4 ringförmig von einem einzigen Leistungsbaulement 2' umschlossen. Dieses ringförmig ausgestaltete Leistungsbaulement 2' weist also in seinem Mittelnbereich einen Siliziumfilm auf, der durch die rückseitige Ätzausnehmung 11 unterhalb der Ätzstoppschicht 12 definiert ist, wobei hier die LOCOS-Isolation 13 die mittig auf dem Siliziumfilm angeordnete Steuerschaltung 4 ringförmig umläuft.

Den zuvor beschriebenen erfindungsgemäßen Verfahren ist es gemeinsam, daß man sich zur gegenseitigen elektrischen Isolation verschiedener Bauelemente, also

zur Isolation von vertikalen Leistungsbaulementen gegeneinander oder zur elektrischen Isolation eines vertikalen Leistungsbaulementes von einer Steuerschaltung rückseitiger, durch Ätzen gebildeter Ausnehmungen bedient. Für den rückseitigen Ätzprozeß bedarf es eines Ätzstopps. Zur Erzeugung des Ätzstopps kann man verschiedene Materialien verwenden. In Abhängigkeit von der Wahl der Materialien erhält man verschiedene Ergebnisse.

Einerseits kann der Ätzstopp auf der Scheibenoberfläche ausgebildet werden. Dies kann beispielsweise durch Abscheiden einer Oxidschicht auf der Scheibenoberfläche oder durch Oxidation der Scheibe geschehen.

Andererseits kann man sich auch einer SOI-Technik bzw. einer Technik mit einer vergrabenen Isolationsschicht oder einer vergrabenen Ätzstoppschicht bedienen. In diesem Fall kann die Siliziumschicht oberhalb der vergrabenen Ätzstoppschicht bzw. der vergrabenen Isolationsschicht verwendet werden, um hierin die Steuerschaltung auszubilden.

Bei sämtlichen beschriebenen Technologien können ein oder mehrere Steuerschaltungen mit einem oder mehreren Leistungsbaulementen in einer einzigen Leistungsschaltung integriert werden.

Anstelle des bei dem bevorzugten Ausführungsbeispiel beschriebenen Aufbringens einer vorderseitigen Ätz-Schutzschicht kann eine vorderseitige Ätz-Abdeckung an dem Wafer angebracht werden, die als Teflon-dichtung ausgeführt sein kann.

Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung (1) mit einem vertikalen Leistungsbaulement (2, 3) und einer Steuerschaltung (4) zum Ansteuern des vertikalen Leistungsbaulementes (2, 3), mit folgenden Verfahrensschritten:

- Erzeugen einer Ätzstoppschicht (12) unterhalb des für die Steuerschaltung bestimmten Halbleiterbereiches;
- Durchführen von Prozeßschritten zum Herstellen des vertikalen Leistungsbaulementes (2, 3) und der Steuerschaltung (4);
- Aufbringen einer vorderseitigen Ätz-Schutzschicht oder Anbringen einer vorderseitigen Ätz-Abdeckung;
- fotolithographisches Definieren einer rückseitigen Maskenschicht auf der Rückseite des Substrates (8) mit einer Ausnehmung unterhalb der Ätzstoppschicht (12); und
- rückseitiges Ätzen des Substrates bis zum Erreichen der Ätzstoppschicht (12).

2. Verfahren nach Anspruch 1, gekennzeichnet durch den Verfahrensschritt des Erzeugens einer lateralen Isolationsschicht (13) zwischen Bauelementen der Steuerschaltung (4) und dem vertikalen Leistungsbaulement (2, 3)

3. Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung mit wenigstens zwei vertikalen Leistungsbaulementen (2, 3), mit folgenden Verfahrensschritten:

- Durchführen von Prozeßschritten zur Herstellung der vertikalen Leistungsbaulemente und Erzeugen einer lateralen Isolationsschicht (13) zwischen den vertikalen Leistungsbau-

menten (2, 3);

- Aufbringen einer vorderseitigen Ätz-Schutzschicht oder Anbringen einer vorderseitigen Ätz-Abdeckung;

- fotolithographisches Erzeugen einer Maskenschicht auf der Rückseite des Substrates mit einer Ausnehmung unterhalb der lateralen Isolationsschicht (13); und

- rückseitiges Ätzen des Substrates.

4. Verfahren zum Herstellen einer Halbleiterstruktur für eine integrierte Leistungsschaltung (1) mit einem vertikalen Leistungsbaulement (2, 3) und einer Steuerschaltung (4) zum Ansteuern des vertikalen Leistungsbaulementes (2, 3), mit folgenden Verfahrensschritten:

- Durchführen von Prozeßschritten zur Herstellung des vertikalen Leistungsbaulementes (2, 3) und der Steuerschaltung (4);

- Erzeugen einer lateralen Isolationsschicht (13) zwischen dem vertikalen Leistungsbaulement (2, 3) und der Steuerschaltung (4);

- Aufbringen einer vorderseitigen Ätz-Schutzschicht oder Anbringen einer vorderseitigen Ätz-Abdeckung;

- fotolithographisches Erzeugen einer rückseitigen Maskenschicht mit einer Ausnehmung unterhalb der lateralen Isolationsschicht (13); und

- rückseitiges Ätzen des Substrates.

5. Verfahren nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß die laterale Isolationsschicht (13) eine geringere Ätzrate als das verwendete Substrathalbleitermaterial hat, und

daß der Verfahrensschritt des rückseitigen Ätzens bis zum Erreichen der lateralen Isolationsschicht (13) durchgeführt wird.

6. Verfahren nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß der Verfahrensschritt des Erzeugens der lateralen Isolationsschicht (13) einen LOCOS-Prozeß umfaßt, und

daß der Verfahrensschritt des rückseitigen Ätzens bis zum Erreichen der lateralen Isolationsschicht (13) durchgeführt wird.

7. Verfahren nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß der Verfahrensschritt des Erzeugens der lateralen Isolationsschicht (13) das Abscheiden eines CVD-Oxids umfaßt, und

daß der Verfahrensschritt des rückseitigen Ätzens bis zum Erreichen der lateralen Isolationsschicht (13) durchgeführt wird.

8. Verfahren nach einem der Ansprüche 3 bis 7, dadurch gekennzeichnet, daß der Verfahrensschritt des Erzeugens einer lateralen Isolationsschicht das Erzeugen einer Ätzstoppschicht unterhalb des die vertikalen Leistungsbaulemente (2, 3) miteinander verbindenden Bereiches umfaßt, und

daß der Verfahrensschritt des rückseitigen Ätzens bis zum Erreichen der Ätzstoppschicht (13) durchgeführt wird.

9. Verfahren nach einem der Ansprüche 1, 2 oder 8, dadurch gekennzeichnet, daß der Verfahrensschritt des Erzeugens der Ätzstoppschicht (12) einen SI-MOX-Prozeß umfaßt.

10. Verfahren nach Anspruch 9, gekennzeichnet durch den Verfahrensschritt des Hochtemperatur-

ausheilen nach der Durchführung des SIMOX-Prozesses.

11. Verfahren nach einem der Ansprüche 1, 2 oder 8, dadurch gekennzeichnet, daß die Ätzstoppschicht (12) erzeugt wird, indem eine vergrabene Dielektrikumschicht mittels Wafer-Bonding gebildet wird. 5

12. Verfahren nach einem der Ansprüche 1, 2, 8 bis 11, dadurch gekennzeichnet, daß bei Verwendung elektrochemischer Ätzverfahren die Ätzstoppschicht (12) ein pn-Übergang ist. 10

13. Verfahren nach einem der Ansprüche 1, 2, 8, 11 oder 12, dadurch gekennzeichnet, daß die Ätzstoppschicht (12) durch eine Hochdosisimplantation von Bor oder Kohlenstoff gebildet wird. 15

14. Verfahren nach einem der Ansprüche 1, 2, 8 bis 13, dadurch gekennzeichnet, daß die Ätzstoppschicht (12) durch epitaktisches Aufwachsen einer Silizium-Germanium-Schicht gebildet wird.

15. Verfahren nach einem der Ansprüche 1 bis 14, gekennzeichnet durch den auf den Verfahrensschritt des rückseitigen Ätzens des Substrates folgenden Verfahrensschritt des Auffüllens der rückseitigen Ausnehmung (11) des Substrates. 20

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß das Auffüllen mit Polyimid erfolgt. 25

Hierzu 6 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

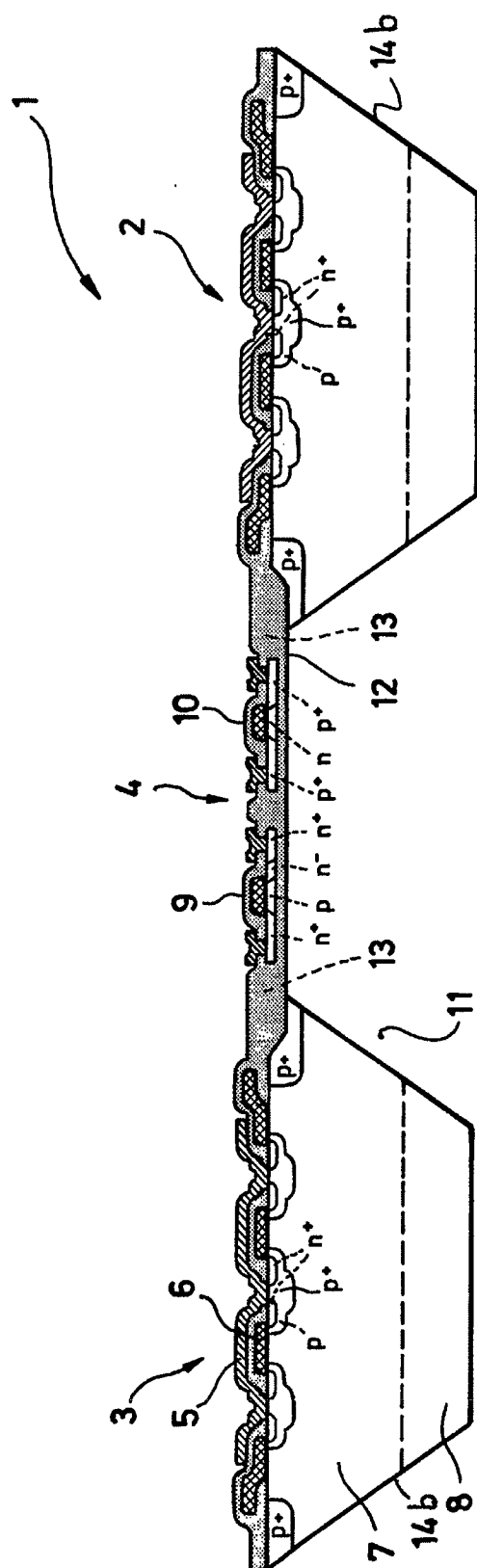


FIG.1

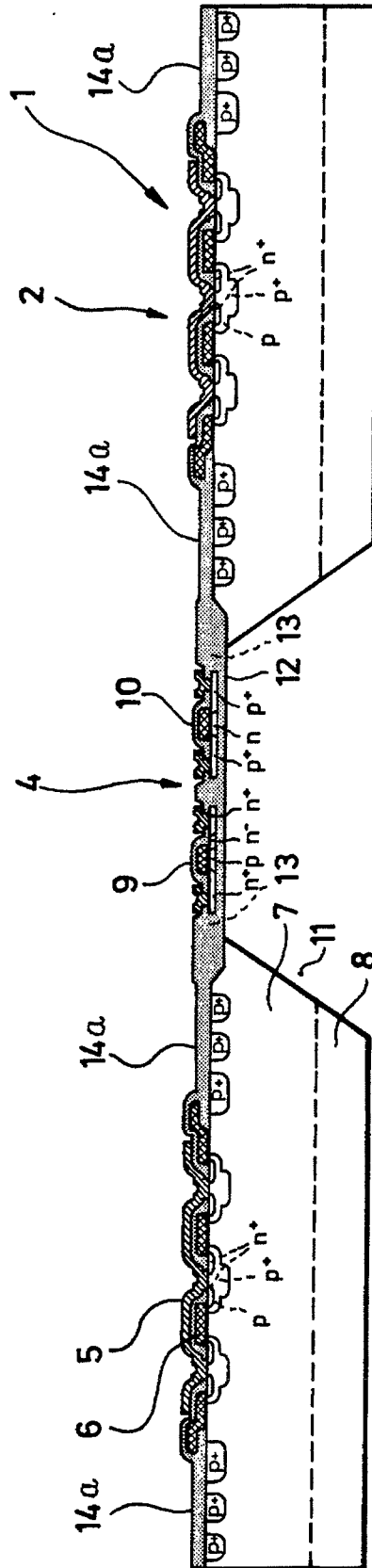


FIG. 2

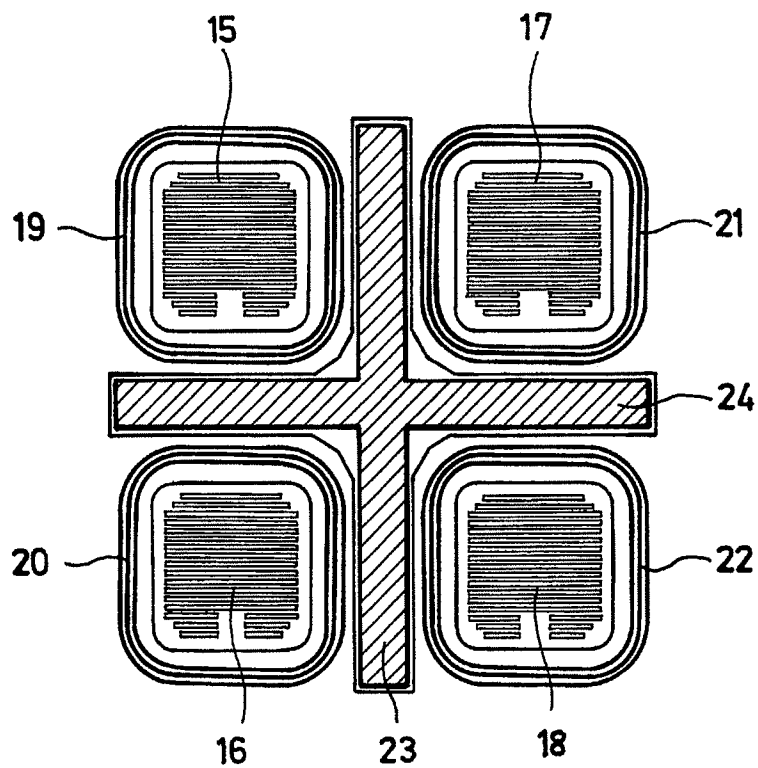


FIG. 3

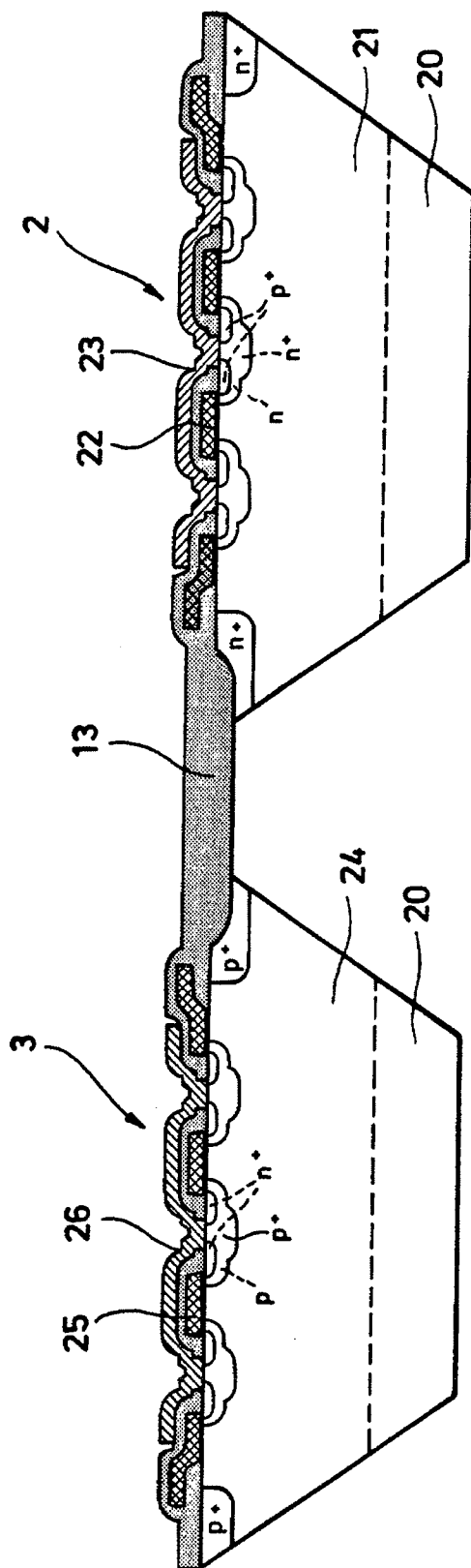


FIG. 4

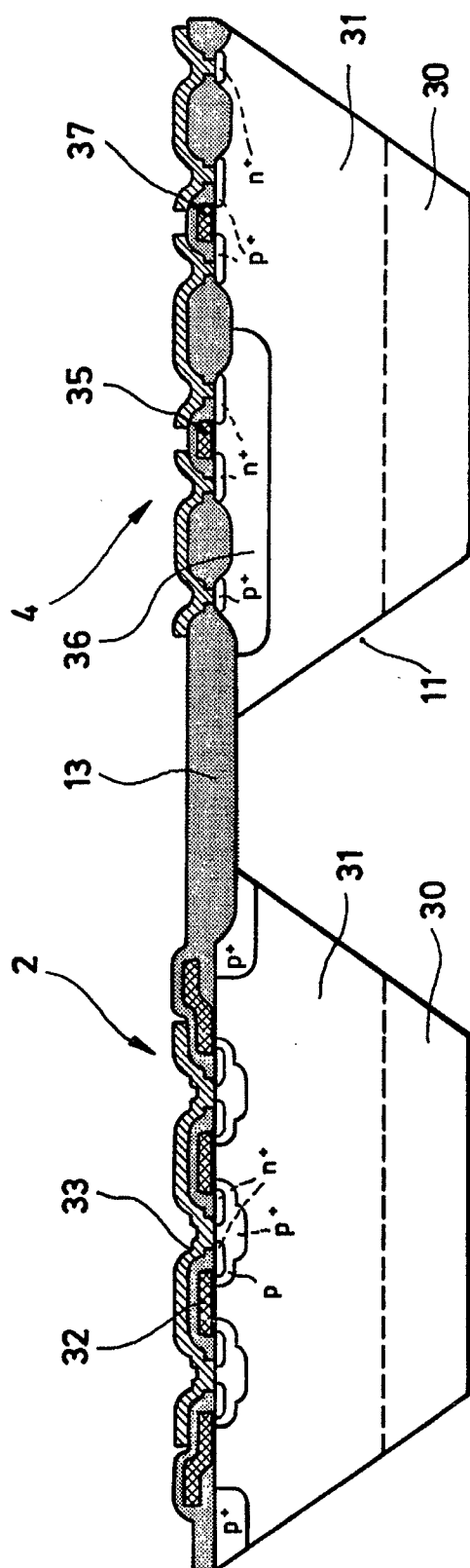


FIG. 5

